

63ないしビット8はそのバイトの符号の継続である。

無符号ワードのレジスタ内表現412は、レジスタ201のうちの1つのレジスタに格納される。ビット15ないしビット0には、無符号ワード402が入られる。これらのビットを $|w|$ で示す。このワードを正しく表すには、残りのビット63ないしビット16はゼロでなければならない。符号付きワード402は、符号付きワードのレジスタ内表現413が示すように、ビット14ないしビット0に格納される。残りのビット63ないしビット15は符号フィールドである。

ダブルワード403は、無符号ダブルワードのレジスタ内表現414または符号付きダブルワードのレジスタ内表現415として格納することができる。無符号ダブルワードのレジスタ内表現414のビット31ないしビット0がデータである。これらのビットを $|d|$ で示す。この無符号ダブルワードを正しく表すには、残りのビット63ないしビット32はゼロでなければならない。整数レジスタ201には、符号付きダブルワードのレジスタ内表現415が、そのビット30ないしビット0に格納される。残りのビット63ないしビット31は符号フィールドである。

前述の第4b図ないし第4d図に示すように、データ・タイプによっては64ビット幅のレジスタに格納するのは非効率的な格納方法である。たとえば、無符号バイトのレジスタ内表現410を格納する場合、ビット63ないしビット8はゼロでなければならない、ビット7ないしビット0にしか非ゼロ・ビットを入れることができない。したがって、64ビット・レジスタに1バイトを格納するプロセッサは、レジスタの容量の12.5%しか使用しない。同様に、機能ユニット203によって実行される命令は始めの数ビットしか重要ではない。

第5a図に、バックされたデータのデータ形式を示す。バックされたバイト501、バックされワード502、バックされたダブルワード503の3つのバックされたデータ形式が図示されている。バックされたバイトは、本発明の一実施

形態では64ビット長であり、8個のデータ要素を含む。各データ要素は1バイト長である。一般に、データ要素は1つのレジスタ（または記憶場所）に同じ長

さの他のデータ要素と共に格納される個々のデータである。本発明の一実施形態では、1つのレジスタに格納されるデータ要素の数は、64ビットをデータ要素のビット長で割った商である。

バックされたワード502は64ビット長であり、4個のワード402データ要素を含む。各ワード402データ要素は、16ビットの情報を含む。

バックされたダブルワード503は64ビット長であり、2個のダブルワード403データ要素を含む。各ダブルワード403データ要素は32ビットの情報を含む。

第5b図ないし第5d図にレジスタ内にバックされたデータ記憶表現を示す。無符号のバックされたバイトのレジスタ内の表現510は、レジスタR₀212a〜R₀212afのうちの1つにバックされたバイト501が格納されている様子を示している。各バイト・データ要素の情報は、バイト0はビット7ないしビット0に格納され、バイト1はビット15ないしビット8、バイト2はビット23ないしビット16、バイト3はビット31ないしビット24、バイト4はビット39ないしビット32、バイト5はビット47ないしビット40、バイト6はビット55ないしビット48、バイト7はビット63ないしビット56に格納される。したがって、レジスタ内ですべての使用可能ビットが使用される。この記憶構成によって、プロセッサの記憶効率が向上する。また、8個のデータ要素にアクセスして、1つの操作を8個のデータ要素に同時に実行することができるようになる。符号付きバックされたバイトのレジスタ内表現511も同様にレジスタ209内のレジスタに格納される。どのバイト・データ要素でも8番目のビットのみが必要な符号ビットであり、他のビットは使用してもしなくても符号が示されることに留意されたい。

無符号のバックされたワードのレジスタ内表現512は、ワード3ないしワード0がレジスタ209のうちの1つのレジスタに格納される様子を示している。ビット15ないしビット0にはワード0のデータ要素情報が入り、ビット31ないしビット16にはデータ要素ワード1の情報が入り、ビット47ないしビット

32にはデータ要素ワード2の情報が入り、ビット63ないしビット48にはデ

ータ要素ワード3の情報が入る。符号付きバックされたワードのレジスタ内表現513は無符号のバックされたワードのレジスタ内表現512と同様である。各ワード・データ要素の16番目のビットにのみ、必要な符号標識が入ることに留意されたい。

無符号のバックされたダブルワードのレジスタ内表現514は、レジスタ209に2個のダブルワード・データ要素が格納される様子を示している。ダブルワード0はレジスタのビット31ないしビット0に格納される。ダブルワード1はレジスタのビット63ないしビット32に格納される。符号付きバックされたダブルワードのレジスタ内表現515は無符号のバックされたダブルワードのレジスタ内表現514と同様である。必要な符号ビットはダブルワード・データ要素の32番目のビットであることに留意されたい。

前述のように、レジスタ209はバックされたデータと整数データの両方に使用することができる。本発明のこの実施形態では、アドレス指定されたレジスタ、たとえばR_{1212a}にバックされたデータと単純整数/固定小数点データのどちらが格納されているかを追跡するために、個々のプログラミング・プロセッサ109が必要である。他の実施形態では、プロセッサ109はレジスタ209の個々のレジスタに格納されているデータのタイプを追跡することができる。この代替実施形態では、たとえば単純/固定小数点整数データに対してバックされた加算を行おうとした場合、エラーを生成することができる。

制御信号の形式

以下に、プロセッサ109がバックされたデータを操作するために使用する制御信号形式の一実施形態について説明する。本発明の一実施形態では、制御信号は32ビットで表される。デコーダ202はバス101から制御信号207を受け取ることができる。他の実施形態では、デコーダ202はキャッシュ206からもそのような制御信号を受け取ることができる。

第6a図にバックされたデータを操作する制御信号の一般的な形式を示す。命令フィールドOP601（ビット31ないしビット26）は、たとえば、バック

された加算、バックされた減算など、プロセッサ109によって実行される演算

に関する情報を供給する。SRC1 602 (ビット25ないしビット20) は、レジスタ209内のレジスタのソース・レジスタ・アドレスを供給する。このソース・レジスタは、制御信号の実行で使用される第1のバックされたデータSource1を保持する。同様に、SRC2 603 (ビット19ないしビット14) には、レジスタ209内のレジスタのアドレスが入れられる。この第2のソース・レジスタは、演算の実行時に使用されるバックされたデータSource2を保持する。DEST605 (ビット5ないしビット0) にはレジスタ209内のレジスタのアドレスが入れられる。この宛先レジスタには、バックされたデータ演算のバックされた結果データResultが格納される。

制御ビットSZ610 (ビット12およびビット13) は、第1および第2のバックされたデータ・ソース・レジスタ内のデータ要素の長さを示す。SZ610が01₂に等しい場合、バックされたデータはバックされたバイト501としてフォーマットされる。SZ610が10₂に等しい場合、バックされたデータはバックされたワード502としてフォーマットされる。しかし、00₂または11₂と等しいSZ610を受け取った場合、他の実施形態では、これらの値のうちの1つを使用してバックされたダブルワード503を示すことができる。

制御ビットT611 (ビット11) は、演算を飽和モードで行うかどうかを示す。T611が1の場合、飽和演算が行われる。T611がゼロの場合、非飽和演算が行われる。飽和演算については後述する。

制御ビットS612 (ビット10) は、符号付き演算の使用を示す。S612が1の場合、符号付き演算が行われる。S612がゼロの場合、無符号演算が行われる。

第6b図に、バックされたデータを操作する制御信号の第2の一般的形式を示す。この形式は、米国イリノイ州マウント・プロスペクトP. O. Box 7641インテル・コーポレーションのLiterature Salesから入手可能な"Pentium™ Processor Family User's Manual"に記載されている汎用整数命令コード形式に対応する。OP601、SZ610、T611、およびS612がすべて組み合わされて1つの大き

なフィールドになることに留意されたい。制御信号によっては、ビット3ないし5がSRC1 602となる。一実施形態では、SRC1 602アドレスがある場合、ビット3ないし5はDEST605にも対応する。SRC2 603アドレスが存在する一代替実施形態では、ビット0ないし2もDEST605に対応する。パックされたシフト即値演算のような他の制御信号の場合、ビット3ないし5は命令コード・フィールドの拡張部を表す。一実施形態では、この拡張部によってプログラマはシフト・カウント値などの即値を制御信号と共に組み込むことができる。一実施形態では、即値は制御信号の後に続く。これについては“Pentium™ Processor Family User's Manual”の付録FのF-1～F-3ページに詳述されている。ビット0ないし2はSRC2 603を表す。この汎用形式によって、レジスタからレジスタ、メモリからレジスタ、メモリによるレジスタ、レジスタによるレジスタ、即値によるレジスタ、レジスタからメモリのアドレス指定を行うことができる。また、一実施形態では、この汎用形式は整数レジスタからレジスタと、レジスタから整数レジスタへのアドレス指定もサポートする。

飽和／非飽和の説明

前述のように、T611は演算が任意選択で飽和するかどうかを示す。飽和を可能にした演算の結果がデータの範囲からオーバーフローまたはアンダーフローする場合、その結果はクランプされる。クランプとは、結果がその範囲の最大値または最小値を超える場合、その結果を最大値または最小値に設定することを意味する。アンダーフローの場合、飽和によって結果がその範囲内の最低値にクランプされ、オーバーフローの場合は最高値にクランプされる。各データ形式の許容範囲を表1に示す。

データ形式	最小値	最大値
無符号バイト	0	255
符号付きバイト	-128	127
無符号ワード	0	65535
符号付きワード	-32768	32767
無符号ダブルワード	0	$2^{16} - 1$
符号付きダブルワード	-2^{15}	$2^{15} - 1$

表 1

前述のように、T611は飽和演算を行うかどうかを示す。したがって、無符号バイト・データ形式を使用し、演算結果=258で、飽和を使用可能にしている場合、結果は演算の宛先レジスタに格納される前に255にクランプされることになる。同様に、演算結果=-32999で、プロセッサ109が飽和を使用可能にして符号付きデータ形式を使用した場合、結果は演算の宛先レジスタに格納される前に-32768にクランプされることになる。

シフト演算

本発明の一実施形態では、標準CISC命令セット（アンパックされたデータ演算）をサポートするだけでなくパックされたデータのシフト演算もサポートすることによって、CISCアプリケーションのパフォーマンスを向上させる。パックされたシフト演算を使用して、高速フーリエ変換、コサイン変換、およびその他のデジタル画像および音声信号処理アルゴリズムの固定小数点インプレリメントの速度を高速化することができる。

本発明の一実施形態では、SRC1レジスタにはシフトさせるデータ（Source1）が入れられ、SRC2レジスタにはシフト・カウントを表すデータ（Source2）が入れられ、DESTレジスタにはシフトの結果（Result）が入れられる。すなわちSource1はシフト・カウントによって独立してシフトされた各データ要素を有することになる。一実施形態では、Source

2は無符号64ビット・スカラと解釈される。他の実施形態では、Source2はパックされたデータであり、Source1内のそれぞれの対応するデ

ータ要素のシフト・カウントが入れられる。

本発明の一実施形態では、算術シフトと論理シフトの両方をサポートする。算術シフトは、各データ要素のビットを指定された数だけ下にシフトし、各データ要素の上位ビットを符号ビットの初期値で満たす。バックされたバイト・データの場合の7を超えるシフト・カウント、バックされたワード・データの場合の15を超えるシフト・カウント、またはバックされたダブルワードの場合の31を超えるシフト・カウントがあると、各Resultデータ要素は符号ビットの初期値で満たされる。論理シフトは、ビットを上下にシフトさせることによって機能することができる。右シフト論理演算では、各データ要素の上位ビットがゼロで満たされる。左シフト論理演算では、各データ要素の下位ビットがゼロで満たされる。

本発明の一実施形態では、バックされたバイトおよびバックされたワードの右シフト算術演算と右シフト論理演算と左シフト論理演算がサポートされる。本発明の他の実施形態では、バックされたダブルワードでもこれらの演算がサポートされる。

第7図に、バックされたデータに対してシフト演算を行う方法の一実施形態を示す。この実施形態は、第2図のプロセッサ109で実施することができる。

ステップ701で、プロセッサ109が受け取った制御信号207をデコーダ202がデコードする。したがって、デコーダ202は、適切なシフト演算の命令コードと、整数レジスタ209内のSRC1 602、SRC2 603、およびDEST605アドレスと、飽和／非飽和（シフト演算の場合は必ずしも必要ではない）と、符号付き／無符号（これも必ずしも必要ではない）と、バックされたデータ内のデータ要素の長さとをデコードする。

ステップ702で、SRC1 602アドレスとSRC2 603アドレスが与えられた場合、内部バス205を介してデコーダ202がレジスタ・ファイル204内の整数レジスタ209にアクセスする。整数レジスタ209は機能ユニット203にSRC1 602レジスタに格納されているバックされたデータ

(Source1)と、SRC2 603レジスタに格納されているスカラ・シ

フト・カウント (Source 2) を供給する。すなわち、整数レジスタ209は、バックされたデータを内部バス205を介して機能ユニット203に伝達する。

ステップ703で、デコーダ202は機能ユニット203が適切なバックされたシフト演算を実行することができるようにする。デコーダ202は、さらに、内部バス205を介してデータ要素のサイズとシフト演算のタイプとシフトの方向（論理シフトの場合）も伝達する。

ステップ710で、データ要素のサイズによって次にどのステップを実行するかが決まる。データ要素のサイズが8ビット（バイト・データ）の場合、機能ユニット203はステップ712を実行する。しかしバックされたデータ内のデータ要素のサイズが16ビット（ワード・データ）の場合、機能ユニット203はステップ714を実行する。一実施形態では、8ビットと16ビットのデータ要素サイズのバックされたシフトのみがサポートされる。しかし、他の実施形態では、32ビットのデータ要素サイズのバックされたシフトもサポートされる。

データ要素のサイズが8ビットであると仮定すると、ステップ712が実行される。ステップ712では以下のシフト演算が行われる。Source 1のビット7ないし0がシフト・カウント (Source 2のビット63ないし0) によってシフトされ、Resultのビット7ないし0が生成される。Source 1のビット15ないし8がシフト・カウントによってシフトされ、Resultのビット15ないし8が生成される。Source 1のビット23ないし16がシフト・カウントによってシフトされ、Resultのビット23ないし16が生成される。Source 1のビット31ないし24がシフト・カウントによってシフトされ、Resultのビット31ないし24が生成される。Source 1のビット39ないし32がシフト・カウントによってシフトされ、Resultのビット39ないし32が生成される。Source 1のビット47ないし40がシフト・カウントによってシフトされ、Resultのビット47ないし40が生成される。Source 1のビット55ないし48がシフト・カウントによってシフトされ、Resultのビット55ないし48が生成される。So

Source1のビット63ないし56がシフト・カウントによってシフトされ、Resultのビット63ないし56が生成される。

データ要素のサイズが16ビットであると仮定すると、ステップ714が実行される。ステップ714では以下のシフト演算が行われる。Source1のビット15ないし0がシフト・カウントによってシフトされ、Resultのビット15ないし0が生成される。Source1のビット31ないし16がシフト・カウントによってシフトされ、Resultのビット31ないし16が生成される。Source1のビット47ないし32がシフト・カウントによってシフトされ、Resultのビット47ないし32が生成される。Source1のビット63ないし48がシフト・カウントによってシフトされ、Resultのビット63ないし48が生成される。

一実施形態では、ステップ712のシフト演算が同時に行われる。しかし、他の実施形態では、これらのシフト演算は順次に行われる。他の実施形態では、これらのシフト演算の一部が同時に行われ、一部は順次に行われる。これは、ステップ714のシフト演算にも同様に適用される。

ステップ720で、ResultがDESTレジスタに格納される。

表2に、パックされた右シフト算術演算のレジスタ内表現を示す。最初の行のビットはSource1のパックされたデータ表現である。2番目の行のビットはSource2のデータ表現である。3番目の行のビットはResultのパックされたデータ表現である。各データ要素ビットの下に数字はデータ要素番号である。たとえば、Source1データ要素3は 10000000である。

00101010	01010101	01010101	11111111	10000000	01110000	10001111	10001000
7	6	5	4	3	2	1	0
シフト	シフト	シフト	シフト	シフト	シフト	シフト	シフト
00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000100
=	=	=	=	=	=	=	=
00000010	00000101	00000101	11111111	11110000	00000111	11111000	11111000
7	6	5	4	3	2	1	0

表 2

表 3 に、パックされたバイト・データに対するパック右シフト論理演算のレジスタ内表現を示す。

00101010	01010101	01010101	11111111	10000000	01110000	10001111	10001000
7 シフト	6 シフト	5 シフト	4 シフト	3 シフト	2 シフト	1 シフト	0 シフト
00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000011
=	=	=	=	=	=	=	=
00000101	00001010	00001010	00011111	00010000	00001110	00010001	00010001
7	6	5	4	3	2	1	0

表 3

表 4 に、パックされたバイト・データに対するパック左シフト論理演算のレジスタ内表現を示す。

00101010	01010101	01010101	11111111	10000000	01110000	10001111	10001000
7 シフト	6 シフト	5 シフト	4 シフト	3 シフト	2 シフト	1 シフト	0 シフト
00000000	00000000	00000000	00000000	00000000	00000000	00000000	00000011
=	=	=	=	=	=	=	=
01010000	10101000	10101000	11111000	00000000	10000000	01111000	01000000
7	6	5	4	3	2	1	0

表 4

パックされたデータ回路

一実施形態では、アンパックされたデータに対する単一のシフト演算と同じク

ロック・サイクル数で複数のデータ要素に対するシフト演算を行うことができる。同じクロック・サイクル数での実行を実現するために、並列処理を使用する。すなわち、データ要素に対してシフト演算を行うように各レジスタが同時に命令される。これについては以下で詳述する。第 8 図に、アンパックされたデータに対するシフト演算と同じクロック・サイクル数でパックされたデータに対するシ

フト演算を行うことができる回路の一部の一実施形態を示す。

第8図には、修正バイト・スライス・シフト回路であるバイト・スライス段、899の使用が図示されている。最上位データ要素バイト・スライスを除く各バイト・スライスは、シフト・ユニットとビット制御回路を含む。最上位データ要素バイト・スライスはシフト・ユニットのみを備えるだけでよい。

シフト・ユニット、811とシフト・ユニット、1871はそれぞれ、シフト・カウントによってSource1から8ビットをシフトさせることができる。一実施形態では、各シフト・ユニットは周知の8ビット・シフト回路のように動作する。各シフト・ユニットは、Source1入力とSource2入力と制御入力と次段信号と最終段信号と結果出力とを有する。したがって、シフト・ユニット、811は、Source1、831入力とSource2 [63:0] 833入力と制御、801入力と次段、813信号と、最終段、812入力と結果レジスタ、851に格納される結果とを有する。したがって、シフト・ユニット、1871は、Source1、1832入力とSource2 [63:0] 833入力と制御、1802入力と次段、1873信号と最終段、1872入力と、結果レジスタ、1852に格納される結果とを有する。

Source1入力は典型的にはSource1の8ビット部分である。この8ビットは、最小のタイプのデータ要素である1パックされたバイト・データ要素を表す。Source2入力はシフト・カウントを表す。一実施形態では、各シフト・ユニットがSource2 [63:0] 833から同じシフト・カウントを受け取る。操作制御回路800が制御信号を送り、各シフト・ユニットをイネーブルにし、必要なシフトを行うようにする。この制御信号はシフトのタイプ（算術または論理）とシフトの方向から決定される。そのシフト・ユニットのビット制御回路から次段信号を受け取る。シフト・ユニットは、シフトの方向（左

または右）に応じて、次段信号について最上位ビットをシフト・アウトまたはシフト・インする。同様に、各シフト・ユニットは、シフトの方向（右または左）に応じて、最終段信号について最下位ビットをシフト・アウトまたはシフト・インする。最終段信号は直前の段のビット制御ユニットから受け取る。その結果の

出力は、シフト・ユニットが操作している `Source1` の部分に対するシフト演算の結果を表す。

操作制御回路800からバックされたデータ・イネーブル、806を介してビット制御回路、820がイネーブルにされる。ビット制御、820は次段、813と最終段、872を制御する。たとえば、シフト・ユニット、811が`Source1`の下位8ビットを操作し、シフト・ユニット、871が`Source1`の次の8ビットを操作するものとする。バックされたバイトに対するシフトを行う場合、ビット制御、820はシフト・ユニット、871からの最下位ビットがシフト・ユニット、811の最上位ビットに伝達されないようにする。しかし、バックされたワードに対するシフトを行う場合は、ビット制御、820はシフト・ユニット、871からの最下位ビットがシフト・ユニット、811の最上位ビットと連絡するようにする。

たとえば、表5ではバックされたバイト算術右シフトを行う。シフト・ユニット、871はデータ要素1を操作し、シフト・ユニット、811はデータ要素0を操作する。シフト・ユニット、871はその最下位ビットをシフト・アウトする。しかし、操作制御回路800はビット制御、820に最終段、821から受け取ったそのビットを次段、813に伝播させるのを停止させる。その代わりに、シフト・ユニット、811が上位ビットを符号ビットである`Source1` [7]で満たす。

...	00001110	10001000
7	6	5	4	3	2	1	0
シフト	シフト	シフト	シフト	シフト	シフト	シフト	シフト
...							00000001
=	=	=	=	=	=	=	=
...	00001111	01000100
7	6	5	4	3	2	1	0

表 5

しかし、バックされたワード算術シフトを行う場合、シフト・ユニット、8

71の最下位ビットがシフト・ユニット、811の最上位ビットに伝達される。

表6にこの結果を示す。この伝達はバックされたダブルワード・シフトの場合にも可能になる。

...			00001110	10001000
3		2		1		0	
シフト	シフト	シフト	シフト	シフト	シフト	シフト	シフト
...			00000001	
=		=		=		=	
...			00000111	01000100
3		2		1		0	

表 6

各シフト・ユニットは任意選択で結果レジスタに接続される。結果レジスタには、完全な結果であるResult[63:0] 860をDESTレジスタに送ることができるまでシフト演算の結果が一時的に格納される。

完全な64ビット・バックされたシフト回路の場合、8個のシフト・ユニット

と7個のビット制御ユニットが使用される。このような回路を使用して64ビットのアンバックされたデータに対するシフトを行うこともでき、それによって同じ回路を使用してアンバックされたシフト演算とバックされたシフト演算が行われる。

以上、複数データ要素に対して作用するシフト演算を有するプロセッサについて説明した。

【図1】

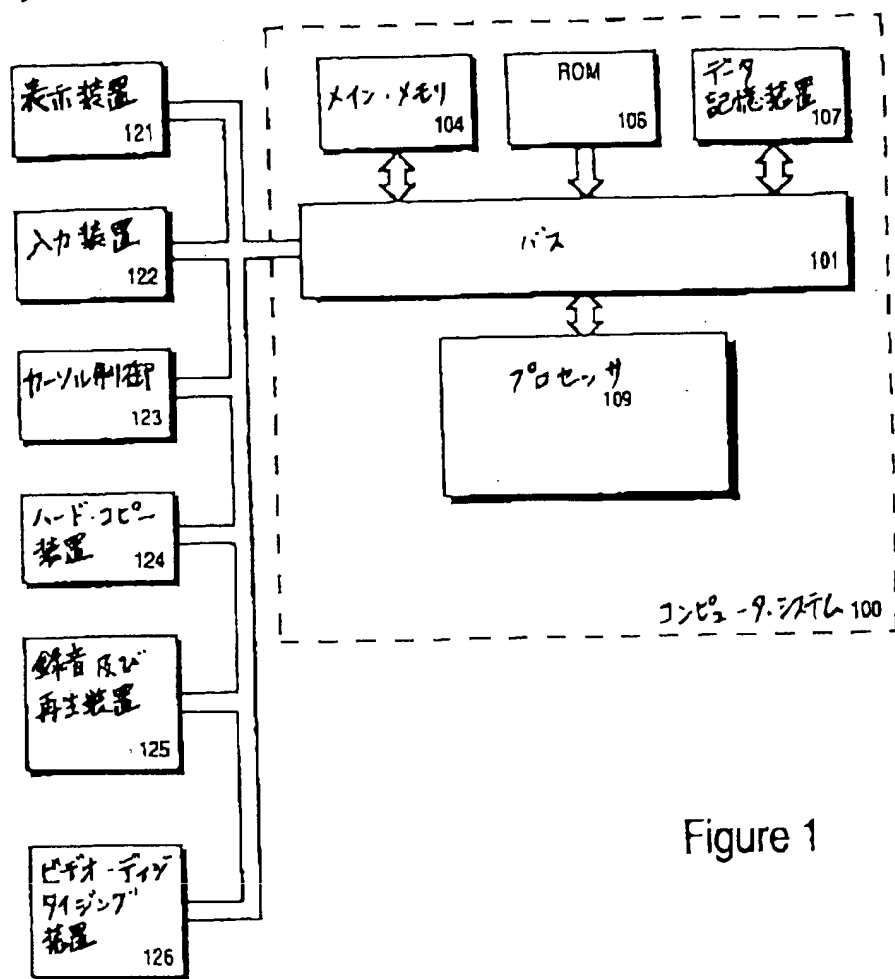


Figure 1

【図2】

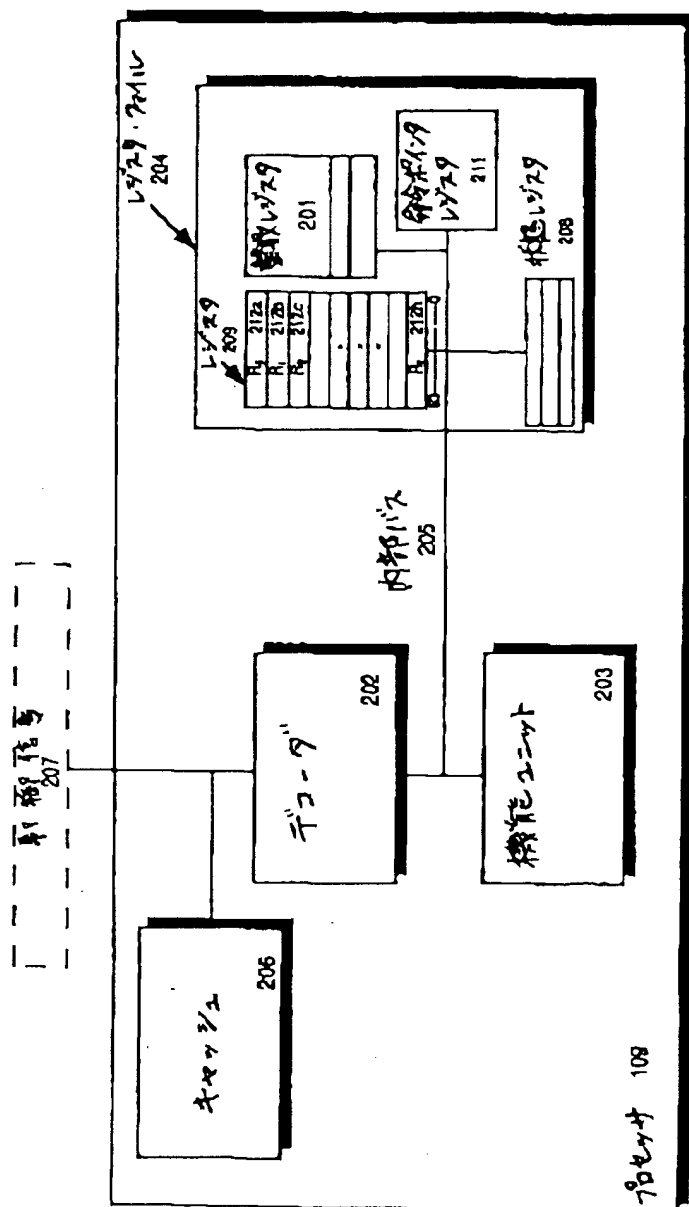


Figure 2

【図3】

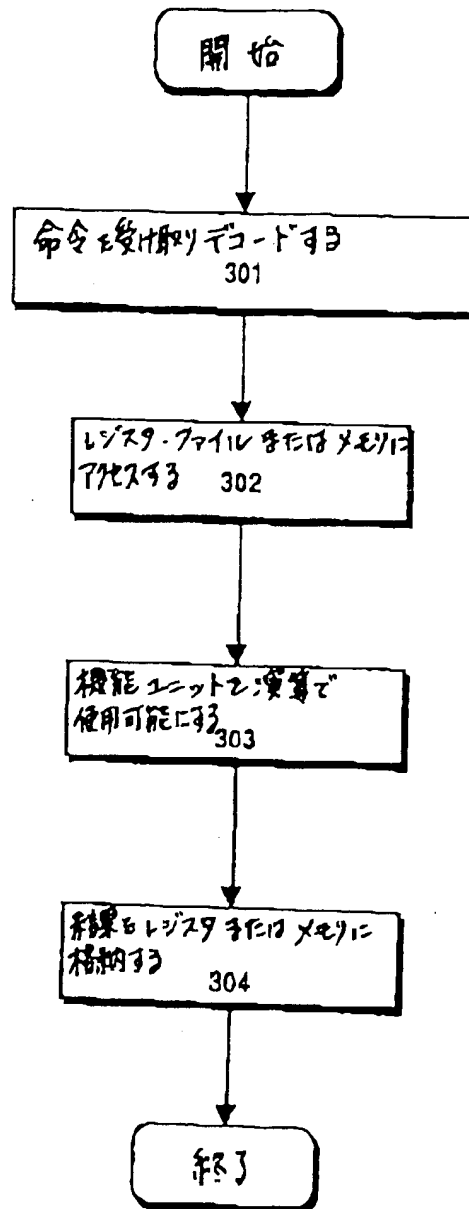


Figure 3

【図4】

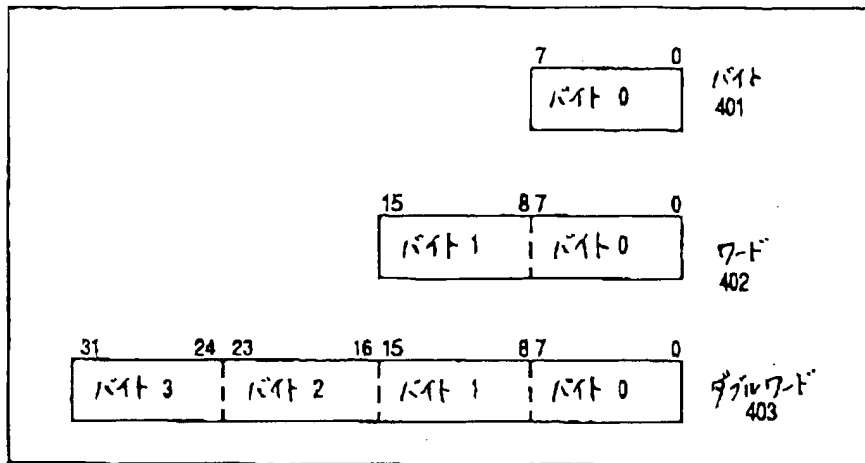


Figure 4a

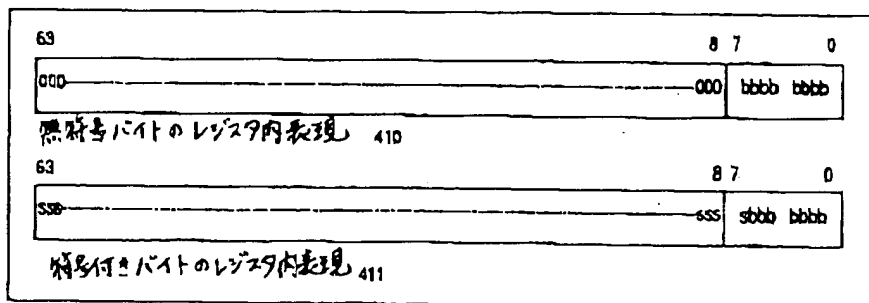


Figure 4b

【図4】

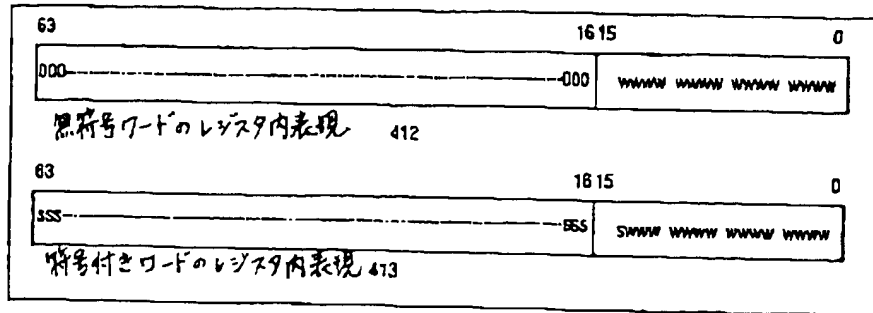


Figure 4c

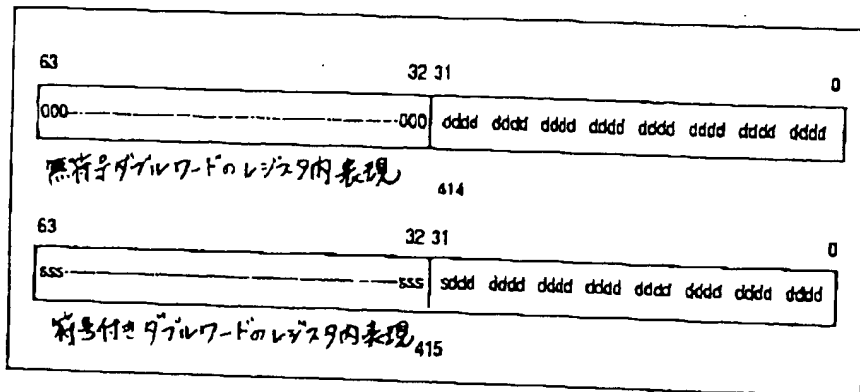


Figure 4d

【図5】

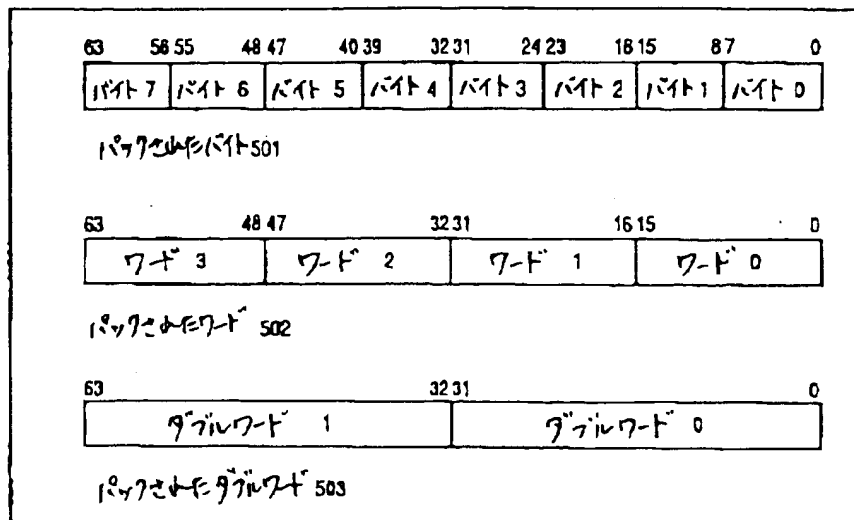


Figure 5a

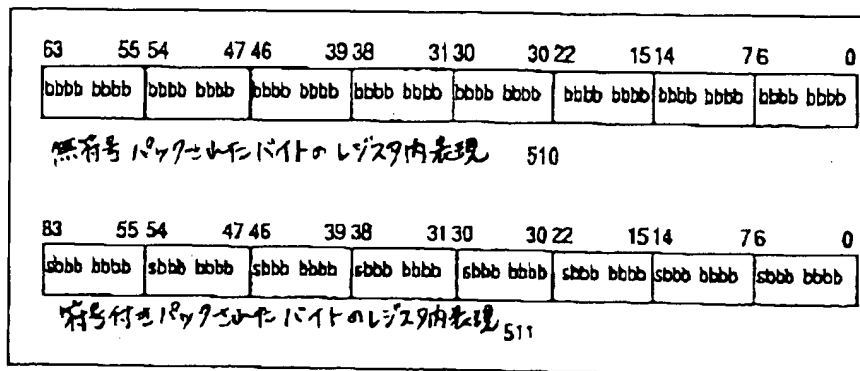


Figure 5b

【図5】

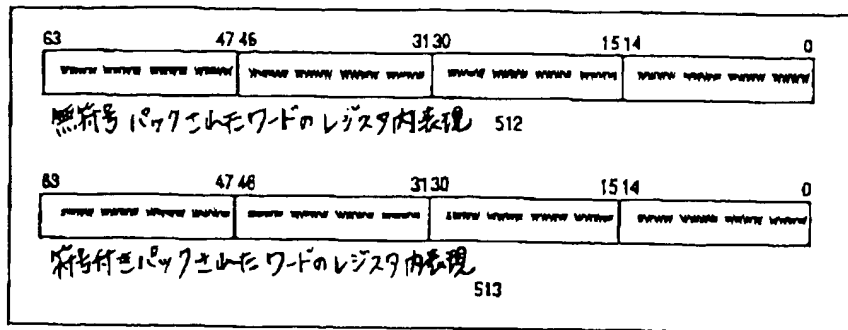


Figure 5c

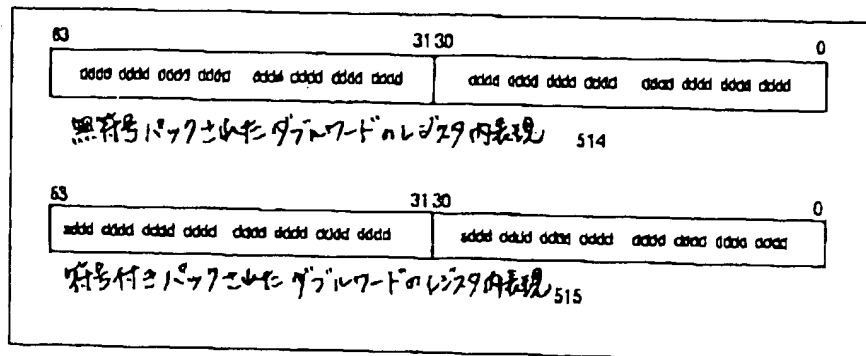


Figure 5d

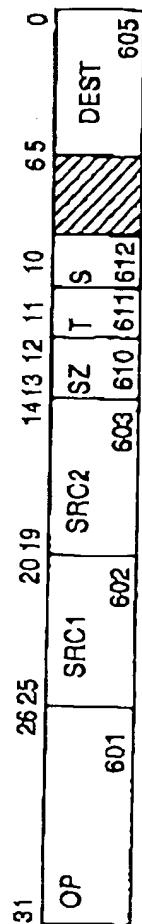


Figure 6a

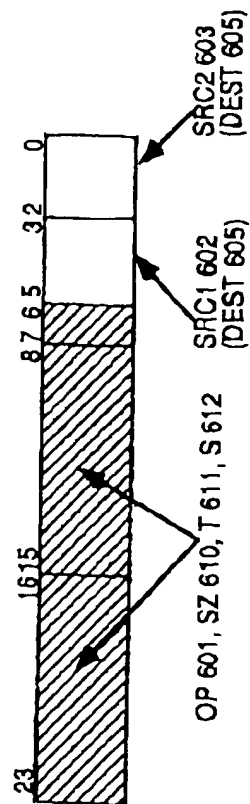


Figure 6b

【図7】

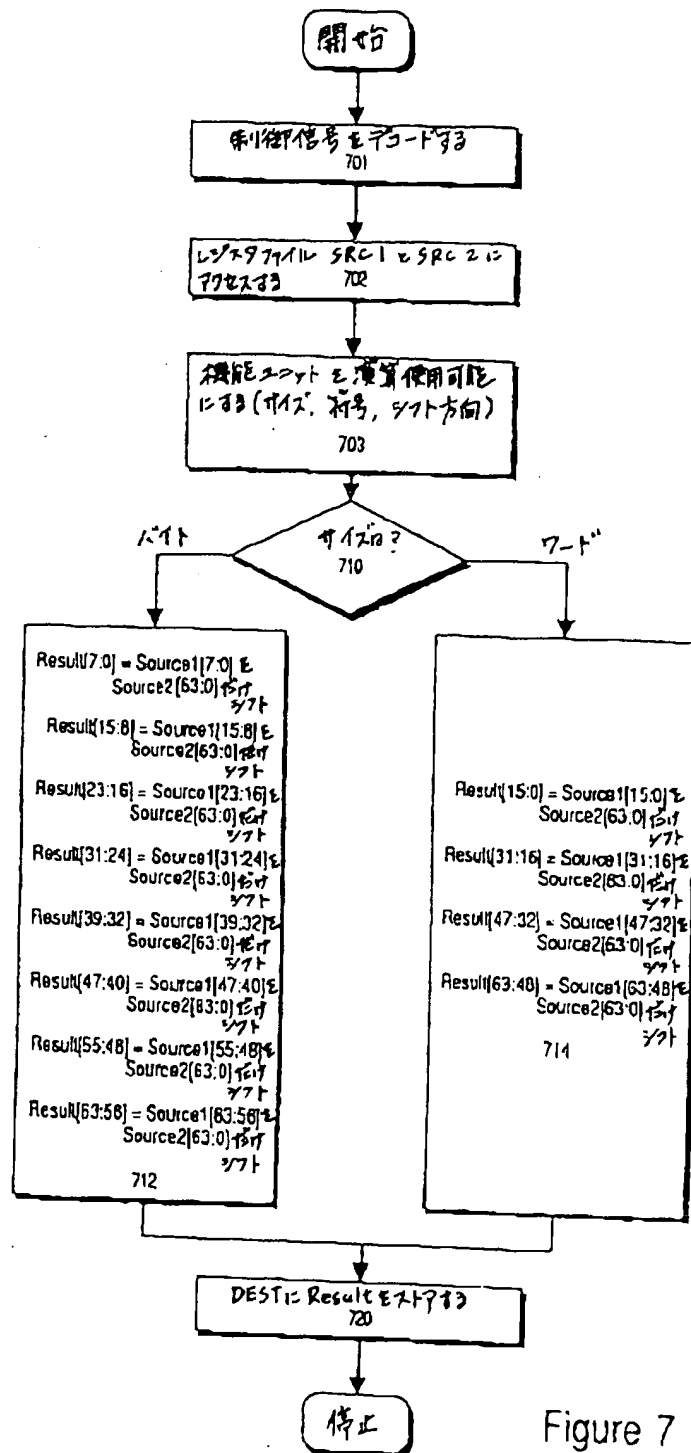
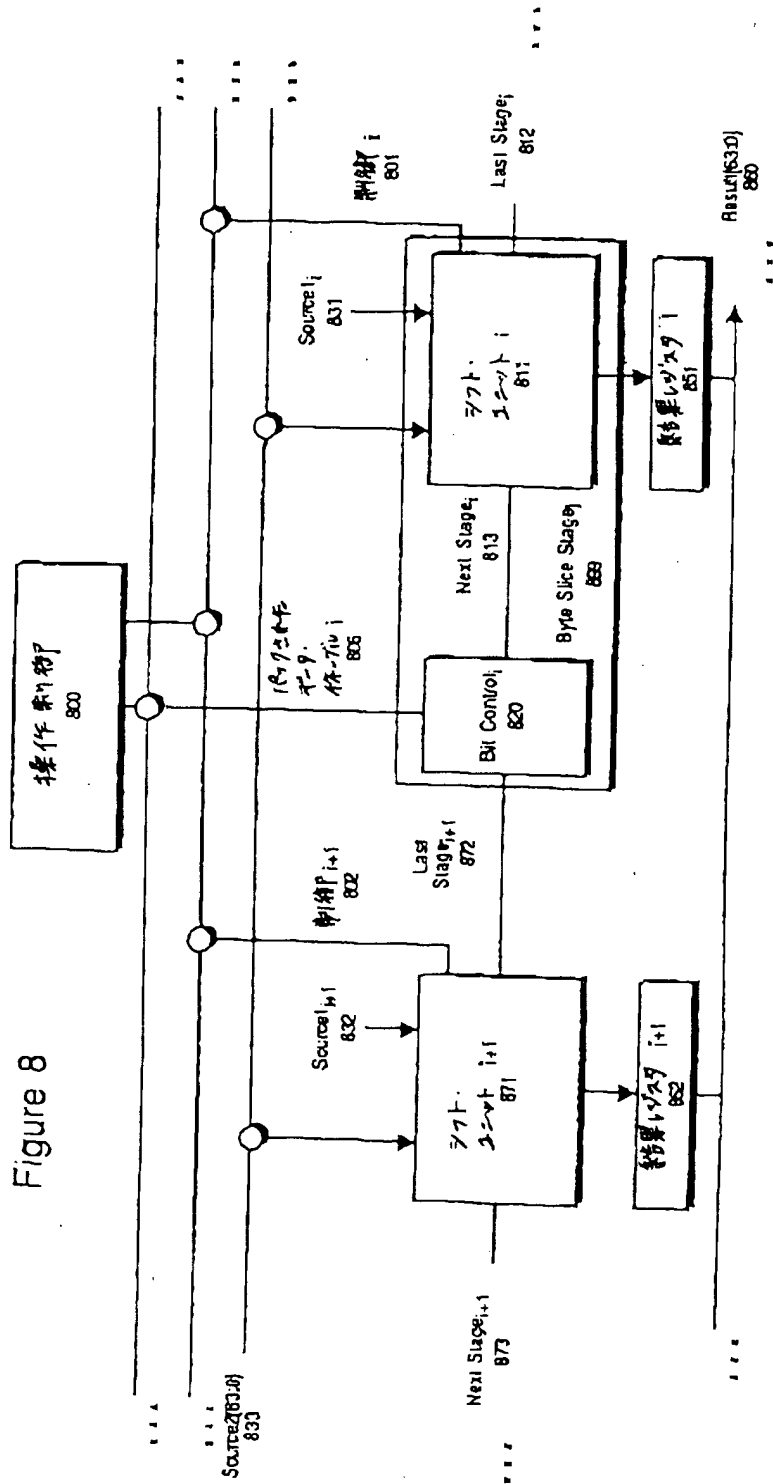


Figure 7

【図8】



【手続補正書】

【提出日】 1997年7月25日

【補正内容】

(1) 発明の名称を「バックされたデータのシフト演算を行うプロセッサ」に補正する。

(2) 請求の範囲を、別紙の通り補正する。

請求の範囲

1. 第1の命令が、複数のバックされたデータ要素を有する一連の第1のバックされたデータに対して行うシフト演算を指定し、かつ、前記一連の第1のバックされたデータに含まれる数が変わるバックされたデータ要素を設定し、さらに、前記一連のバックされたデータに含まれるサイズが変わるデータ要素を設定するように作用するとき、その第1の命令をデコードするように動作するデコーダと

前記デコーダに結合され、前記第1の命令に応答して前記複数のバックされたデータ要素を同時に独立してシフトさせるように動作する回路とを備えるプロセッサ。

2. 前記回路が前記複数のバックされたデータ要素を論理シフトさせるようにさらに動作し、各バックされたデータ要素内のシフト・カウント数のビットがゼロで満たされる請求項2に記載のプロセッサ。

3. 前記回路が前記複数のバックされたデータ要素の算術シフトを行うように動作し、各バックされたデータ要素内のシフト・カウント数のビットがそれぞれのバックされたデータ要素の符号ビットで満たされる請求項2に記載のプロセッサ。

4. 前記一連の第1のバックされたデータが2個のバックされた要素を含み、各バックされた要素が32ビットを有する請求項3に記載のプロセッサ。

5. 前記一連の第1のバックされたデータが4個のバックされたデータ要素を含み、前記一連の第1のバックされたデータの各バックされた要素が16ビットを有するバックされたワードを表す請求項3に記載のプロセッサ。

6. 前記一連の第1のバックされたデータが2個のバックされたデータ要素を含み、各バックされたデータ要素が32ビットを有する請求項2に記載のプロセッサ。

7. 前記一連の第1のバックされたデータが4個のバックされたデータ要素を含み、前記一連の第1のバックされたデータの各バックされた要素が16ビットを有するバックされたワードを表す請求項2に記載のプロセッサ。

8. 一連の第1のバックされたデータに含まれる複数のバックされたデータ要素に対して行うシフト演算を指定するように作用し、前記一連の第1のバックされ

たデータに含まれるいくつかのバックされたデータ要素を設定し、前記一連の第1のバックされたデータに含まれる前記バックされたデータ要素のサイズを設定するようにさらに作用可能な第1の制御信号をデコードするように動作するデコーダと、

前記デコーダに結合され、前記第1の制御信号に応答してバックされたデータ要素を同時かつ互いに独立してシフトさせるように動作可能な回路とを備えるプロセッサ。

9. 前記回路が複数のバックされたデータ要素を論理シフトさせるように動作し、各バックされたデータ要素内のシフト・カウント数のビットがゼロで満たされる請求項8に記載のプロセッサ。

10. 前記回路が複数のバックされたデータ要素の算術シフトを行うように動作し、各バックされたデータ要素内のシフト・カウント数のビットがそれぞれのバックされたデータ要素の符号ビットで満たされる請求項8に記載のプロセッサ。

11. 前記一連の第1のバックされたデータが4個のバックされたデータ要素を含み、前記一連の第1のバックされたデータの各バックされた要素が16ビットを有するバックされたワードを表す請求項9に記載のプロセッサ。

12. 前記複数のバックされたデータ要素が2個のバックされたダブルワードを含み、各バックされたダブルワードが32ビットを有する請求項9に記載のプロセッサ。

13. 前記一連の第1のバックされたデータが4個のバックされたデータ要素を

含み、前記一連の第1のバックされたデータの各バックされた要素が16ビットを有するバックされたワードを表す請求項10に記載のプロセッサ。

14. 前記複数のバックされたデータ要素が2個のバックされたダブルワードを含み、各バックされたダブルワードが32ビットを有する請求項10に記載のプロセッサ。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US95/15682

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G06F 5/01

US CL : 354/715.08; 395/775

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 354/715.08; 395/775

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MC 88110 SECOND GENERATION - RISC MICROPROCESSOR USER'S MANUAL PP 1-1 THRU 1-9, 1-12 THRU 1-23, 2-1 THRU 2-20, 3-1 THRU 3-32, 5-1 THRU 5-25, 10-62 THRU 10-71, INDEX 1 THRU 17, TABLE OF CONTENTS (9 PGS), SEPTEMBER 1992 (SEE THE ENTIRE DOCUMENT)	1-15
A	MOTOROLA MC 88110 PROGRAMMER'S REFERENCE GUIDE, PP 1-4, JANUARY 1992, (SEE THE ENTIRE DOCUMENT)	1-15
A	MOTOROLA INC., MOTOROLA SEMICONDUCTOR TECHNICAL DATA, ERROTA TO MC 88110 SECOND GENERATION RISC MICROPROCESSOR USER'S MANUAL, 1992 (SEE ENTIRE DOCUMENT)	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be prior art of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"B" earlier document published on or after the international filing date	"X" document of particular interest: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, each combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"Z" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

11 MARCH 1996

Date of mailing of the international search report

22 APR 1996

 Name and mailing address of the ISA/US
 Commissioner of Patents and Trademarks
 Box PCT
 Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

DAVID MALZAHN. *Jan Hill*

Telephone No. (703) 305-9762

Form PCT/ISA/218 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US95/15682

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	INTEL 1750, i860TM, 1960 PROCESSORS AND RELATED PRODUCTS, PP 1-3, 1995 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,98,177 (LARSON) 05 FEBRUARY 1985 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,451,883 (STANLEY ET AL) 29 MAY 1984 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 5,201,056 (DANIEL ET AL) 06 APRIL 1993 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 5,295,250 (KOMOTO ET AL) 15 MARCH 1994 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 5,327,571 (MCMINN ET AL) 05 JULY 1994 (SEE THE ENTIRE DOCUMENT)	1-15
A,P	US, A, 5,379,240 (BYRNE) 03 JANUARY 1995 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,707,800 (MONTRONE ET AL) 17 NOVEMBER 1987 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,418,383 (DOYLE ET AL) 29 NOVEMBER 1983 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,161,784 (CUSHING ET AL) 17 JULY 1979 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,393,468 (NEW) 12 JULY 1983 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 5,187,679 (VASSILIADIS ET AL) 16 FEBRUARY 1993 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 5,095,457 (JEONG) 10 MARCH 1992 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 4,989,168 (KURODA ET AL) 29 JANUARY 1991 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 3,711,692 (BATCHER) 16 JANUARY 1973 (SEE THE ENTIRE DOCUMENT)	1-15
A	US, A, 3,723,715 (CHEN ET AL) 27 MARCH 1973 (SEE THE ENTIRE DOCUMENT)	1-15

Form PCT/IS/1992 (July 1992)

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, M, C, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), AL, AM, AT, AU, BB, BG, B, R, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IS, JP, KE, KG, KP, KR, KZ, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TT, UA, UG, UZ, VN

(72)発明者 ミタル, ミリンド

アメリカ合衆国・94080・カリフォルニア
州・サウス サンフランシスコ・ヒルサイ
ド ブルバード・1149

(72)発明者 メネマイアー, ラリー・エム

アメリカ合衆国・95006・カリフォルニア
州・ボルダー クリーク・ビーオー ボッ
クス・587・(番地なし)

(72)発明者 エイタン, ベニー

イスラエル国・ハイファ・スティーブン
ウィース・25

【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成15年5月13日(2003. 5. 13)

【公表番号】特表平10-512069

【公表日】平成10年11月17日(1998. 11. 17)

【年通号数】

【出願番号】特願平8-519115

【国際特許分類第7版】

G06F 9/315

7/00

【F1】

G06F 9/30 340 D

7/00 103 B

特許補正書

平成 14 年 12 月 2 日

特許庁長官様

1. 事件の状況 平成8年特許第519115号
(国際出願番号) PCT/US95/15682
2. 補正をする者
氏名 インテル・コーポレーション
3. 代理人
住所 東京都千代田区永田町2丁目4番2号
野村證券ビル8階
山川国際特許事務所内
電話 (3380) 0961
氏名 (6462) 外間士 山 川 栄 昭
4. 補正対象項目名 請求の範囲
5. 補正対象項目数 請求の範囲
6. 補正の内容 請求の範囲を、別紙の通り補正する。

請求の範囲

1. 第2の複数のデータを有する第2のバックされたデータを生成するために第1の複数のデータを有する第1のバックされたデータをシフトするシフト部と;
前記第2の複数のデータのそれぞれの少なくとも1つのデータを置換する回路であって、シフトされたデータの複数の任意の1つに対応するすべての置換された数字が同じ値の数字に置換される補正回路とを備えることを特徴とするデジタル処理装置。
2. 制御命令に応じて複数のデータをシフトするシフト回路と;
それぞれが第1の値を有する少なくとも1つの置換数字を複数のデータの複数の1つについて生成し、複数のデータの1つに対応するシフトされて生成するデータ置換を生成するためにシフト回路に結合された回路であって、シフトされて生成するデータ置換が少なくとも1つの置換数字からの置換数字を含む補正回路とを備えることを特徴とするデジタル処理装置。
3. 制御信号を受信し、かつ、制御信号がバックされたシフト命令フォーマットを含む場合はバックされたシフト置換を示すデコードと;
1組のデータ置換を有する第1のバックされたデータで保持する記憶位置と;
バックされたシフト置換に応じて第1のバックされたデータをシフトするシフト回路と;
- 1組のデータの第1のソース・データ置換について第1の置換数字を生成し、第1のソース・データ置換に対応するシフトされた第1の置換データ置換を生成するためにシフト回路に結合された回路であって、シフトされた第1の置換データ置換が第1の置換数字を含んでいる補正回路とを備えることを特徴とするデジタル処理装置。
4. バックされたシフト命令を有する制御信号を受信し、かつ、バックされたシフト置換を示すデコードと;
バックされたシフト置換に応じて1組のデータをシフトし、かつ、1組のデータの第1の初期値を有する第1のデータ置換に対応する第1の2進置換数字を生成するユニットであって、第1のデータ置換について生成された第1の2進置換数字が、シフトされた第1のデータ置換の高位の2進数字を第1

の初期符号値で満たす、またはシフトされた第1のデータ要素の低位の2進数をゼロの値で満たすためのものであり、かつ、第1の2進数値を含むシフトされた第1のデータ要素を生成するためのものである論理ユニットとを備えることを特徴とするデジタル処理装置。

5. 第1の命令をデコードするように動作可能なデコーダであって、前記命令が、複数のバックされたデータ要素を有する一連の第1のバックされたデータに対して実行されるべきシフト演算を指定するように動作可能であり、さらに、前記一連のバックされたデータに含まれるサイズが変わるデータ要素を指定するように動作可能なデコーダと、

前記デコーダに結合され、前記第1の命令にตอบสนองして前記複数のバックされたデータ要素を独立してシフトするように動作可能な回路とを備えることを特徴とするプロセッサ。

6. バックされたデータをシフトするコンピュータで実行される方法であって

a) 複数のバックされたデータ要素を有する一連の第1のバックされたデータに対して実行されるべきシフト演算を指定し、さらに前記一連のバックされたデータに含まれるサイズが変わる各バックされたデータ要素を指定する第1の命令をデコードするステップと、

b) 前記複数のバックされたデータ要素を独立してシフトするステップとを含むことを特徴とするデジタル処理方法。